

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-71337

⑬ Int. Cl. 5

G 06 F 9/355

識別記号

序内整理番号

⑭ 公開 平成3年(1991)3月27日

7361-5B G 06 F 9/36 320

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 マイクロプロセッサ回路

⑯ 特願 平2-196445

⑰ 出願 平2(1990)7月26日

優先権主張 ② 1989年8月4日 ③ 米国(U S) ④ 389,749

⑪ 発明者 アシシ・ディクシット アメリカ合衆国 94538 カリフォルニア州・フレモン
ト・チャペル・ウェイ ナンバ 214・40425

⑫ 出願人 インテル・コーポレーション アメリカ合衆国 95051 カリフォルニア州・サンタクララ・パウワース アヴァニユウ・3065

⑬ 代理人 弁理士 山川 政樹 外3名

明細書

1. 発明の名称

マイクロプロセッサ回路

2. 特許請求の範囲

(1) 実行クロック周期ごとに1つのアドレスを形成するマイクロプロセッサ回路において、3入力加算器と、2入力加算器と、第1のクロック周期の間に仮想アドレスの要素を第1及び第2の加算器に供給する手段と、第1のクロック周期の間にセグメント基底アドレスを第1の加算器に供給する手段と、第2のクロック周期の間に第1及び第2の加算器により発生されたアドレスの種類を確定する手段と、第2のクロック周期の間に第1及び第2の回路に出力アドレスを発生させる手段とを具備するマイクロプロセッサ回路。

(2) 実行クロック周期ごとに1つのアドレスを形成するマイクロプロセッサ回路において、変位、相対基底アドレス及びインデックスを表わす信号を供給する手段と；変位、相対基底アドレス及びインデックスを表わす信号を組合せて、実効アド

レスを形成する手段と；セグメント基底アドレスを表わす信号を供給する手段と；変位、相対ベースアドレス、インデックス及びセグメント基底アドレスを表わす信号を組合せて、旗形アドレスを形成する手段とを具備するマイクロプロセッサ回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明はコンピュータシステムに関し、特に、コンピュータシステム内部において高いクロックレートでアドレスを発生するための構成に関する。

【従来の技術及び発明が解決しようとする問題点】

カリフォルニア州サンタクララにある Intel Corporation が製造している 80386 マイクロプロセッサは、16メガヘルツ以上のシステムクロック速度で動作することができると共に、4ギガバイトの物理メモリと、64テラバイトの仮想メモリという非常に大きなアドレスベースをアドレスシングルすることができる 32ビットマイク

ロプロセッサである。このマイクロプロセッサは、Intelがパーソナルコンピュータ用に設計したシリーズのマイクロプロセッサに使用されている。従来のプロセッサと比較して、非常に高速で動作し且つきわめて大量の情報を処理することができる。

Intel 80386 マイクロプロセッサは大きな成果をあげたが、その動作速度と情報処理能力を増すことは依然として要望されている。従つて、このマイクロプロセッサが動作する速度を改善しようとする試みは継続してなされている。たとえば、Intel 80386 マイクロプロセッサにおいては、メモリのアクセスを要求する1つのアドレスの発生は、実行段階で少なくとも2つのクロック周期を必要とする。そのため、メモリ参照を伴なう命令、すなわち、動作中にメモリを1度アクセスすることを要求する命令は、処理のための実行段階で少なくとも2つのクロック周期をそれぞれ必要とするのである。アドレス発生のたびに2つのシステムクロック周期を使用しなければなら

ないというこの条件は、Intel 80386 マイクロプロセッサの動作を著しく遅くしていた。

〔問題点を解決するための手段〕

従つて、本発明の目的は、コンピュータシステム、特にマイクロプロセッサの動作をスピードアップすることである。

本発明の別の目的は、コンピュータシステムに基づくマイクロプロセッサにおいてアドレスを発生するために必要とされる時間を短縮することである。

本発明の上記の目的及びその他の目的は、実行クロック周期ごとに1つのアドレスを形成するマイクロプロセッサ回路であつて、3入力加算器と、2入力加算器と、第1のクロック周期の間に仮想アドレスの構成要素を第1及び第2の加算器に供給する手段と、第1のクロック周期の間にセグメント基底アドレスを第1の加算器に供給する手段と、第2のクロック周期の間に加算器により発生されたアドレスの種類を確定する手段と、第2のクロック周期の間に出力アドレスを発生する手段

とを具備するものによつて達成される。

本発明のこれらの目的と特徴並びにその他の目的と特徴は、添付の図面と関連させながら以下の説明を読むことにより明白になるであろう。尚、いくつかの図を通して、同じ図中符号は同じ要素を指示している。

〔表記法及び用語〕

以下の詳細な説明の中には、コンピュータメモリにおけるデータビットの操作をアルゴリズム及び記号表示によつて表わしている部分がある。そのようなアルゴリズムによる説明や表示は、データ処理技術の分野に熟達した人がその作業の内容を他の当業者に最も効率的に伝達するために利用する手段である。

ここでは、また、一般的にも、アルゴリズムは所望の1つの結果に至る首尾一貫した一連のステップであると理解されている。ステップは、物理的な量の物理的操作を必要とするステップである。通常、それらの量は記憶、転送、組合せ、比較及びその他の方法による操作が可能である電気的信

号又は磁気的信号の形態をとるが、必ずしもそうである必要はない。主として一般に共通する用語であるという理由により、時によつては、それらの信号をビット、値、要素、記号、文字、項、数などと呼ぶと便利であることがわかつている。ただし、これららの用語及びそれに類する用語は、全て、適切な物理的な量と関連させるべきものであつて、そのような量に便宜上付されたラベルであるにすぎないということを忘れてはならない。

さらに、実行される知的な動作と一般に関連している加算又は比較などの用語で呼ぶことが多いが、ここで説明するよう、本発明の一部を成す動作のどれをとつても、そのようなオペレータの能力は、多くの場合、不要であるか又は望ましくない。すなわち、動作は機械の動作である。本発明の動作を実行するのに有用な機械には、汎用デジタルコンピュータ又はその他の同様な装置がある。いずれの場合にも、コンピュータを動作させる際の方法動作と、計算それ自体の方法との区別に留意すべきである。本発明は、電気的信号又は

その他の（たとえば、機械的、化学的）物理的信号を処理して、別の所望の物理的信号を発生させるときにコンピュータを動作させる装置及び方法ステップに関する。

【実施例】

Intel の 80386 マイクロプロセッサは、メモリのセグメンテーションアドレッシングと、要求時ページングによるアドレッシングの双方が可能であるように組成されたメモリ管理システムを利用する。このような組成には数多くの利点がある。

セグメンテーションアドレッシングを使用した場合、1つのプログラムの複数の論理上関連する部分は、ランダムアクセスメモリにおいて、ランダムアクセスメモリのその特定のセグメントの開始アドレス、すなわち基底アドレスから始まり、そのセグメントの終端まで順次連続するようにまとめられる。そのようなセグメントはランダムアクセスメモリで利用できる任意の長さを有していて良い。この順次情報グループ化により、プログ

る。

Intel 80386 マイクロプロセッサで実現される要求時ページアドレッシング方式は、物理メモリをページと呼ばれる同じ大きさの複数の部分に分割する。各ページは4キロバイト分の記憶容量を有する。二次メモリからランダムアクセスメモリ (RAM) へ情報が転送されるとき、ページサイズの1つの部分がランダムアクセスメモリ内の1つの物理メモリブロックへ転送される。プロセスのためにさらに多くの情報が必要であれば、その追加情報もランダムアクセスメモリの他のページサイズ部分へ転送される。ランダムアクセスメモリの物理ページにある情報には、中央処理装置 (CPU) により仮想アドレスが割当てられる。CPU は、仮想アドレスと物理アドレスとを関連づけるページテーブルを作成する。仮想アドレスは、該当する情報をアクセスすることが必要になつたときに、ページテーブル変換プロセスを使用して、その情報の物理アドレスに変換される。

要求時ページアドレッシングシステムでは、符

ラマーは、プログラムを、全てが同じ特性を有している複数の論理部分に分割することが可能になる。たとえば、プログラムを、「読み取り専用」と指定される複数の命令を含む1つのセグメントと、変更されるべきではなく、同様に「読み取り専用」と指定されるデータを含む別のセグメントと、「読み取り」と「書き込み」の双方とも指定され、特定の所望の特性を選択された各セグメントと関連づけるさらに別のセグメントとに分割しても良い。

セグメンテーションアドレッシングは、それぞれ個々のセグメントに、そのセグメントの全ての部分が同じように処理されるように特定の制御とアクセス限界を与えることの他の方法による指定を与えることができるという点で有用である。これは、各セグメントと関連する記述子の利用によって可能である。記述子は、セグメントの基底アドレスと、ランダムアクセスメモリにおいてセグメントが到達しても良い限界と、アクセス及び制御の制限と、セグメントが先に書き込まれているか否かを表わす情報を含む64ビットの情報であ

る。定の1つのプロセス又はアプリケーションと関連するページをメモリ内で互いに物理的に関連づける必要はないので、メモリをより経済的に利用することができる。さらに、ランダムアクセスメモリ内部に物理メモリが存在していないにもかかわらず、仮想アドレスによつて大量のメモリをアドレッシングできる。ただ、二次メモリをアクセスし、その情報をページマップテーブルの変換プロセスを経てランダムアクセスメモリに導入するだけで良い。

セグメンテーションアドレッシングと、要求時ページアドレッシングのいずれか一方を使用するにせよ、双方を使用するにせよ、Intel 80386 マイクロプロセッサで何れかの情報をアドレスするためには、まず、線形アドレスを発生させなければならない。この線形アドレスは、セグメンテーションアドレッシングのみがイネーブルされたときに、ランダムアクセスメモリから情報を取出すためにメモリ管理装置のセグメンテーション装置により使用される物理アドレスである。Intel

80386 マイクロプロセッサのセグメンテーションアドレッシングとページアドレッシングの2つの動作モードがイネーブルされたときには、この線形アドレスはページマップテーブルへ転送され、そこで、変換プロセスを経て、メモリ(二次メモリのランダムアクセス)中の特定のページの物理アドレスが取出される。いずれの場合にも、開始アドレスとして線形アドレスを発生しなければならない。

Intel 80386 マイクロプロセッサにおいては、1つのプロセスにより指定される何れかの特定のセグメントの始まりを指定する基底アドレスを含むいくつかの部分から線形アドレスが発生される。以下、この基底アドレスを「セグメント基底アドレス」という。アクセスすべき情報の特定のアドレスを得るために、このセグメント基底アドレスにオフセットが追加される。このオフセット(「実効アドレス」又は仮想アドレスと呼ばれる)は、いくつかの構成要素から成ると考えられる。それらの構成要素のうち第1のものも基底ア

置だけ移動することが望まれる飛越し命令の場合に有用である。

実効アドレスは、システムのセグメンテーション装置の制御の下に、相対基底と、インデックスと、利用可能になつた変位とを互いに加算することにより発生される。次に、実効アドレスをセグメント基底アドレスに加算することにより、実際の線形アドレスを発生する。*Intel 80386* マイクロプロセッサにおいて、これを実現するためには、実行段階の間に最小限で2のクロック周期が必要である。本発明は、実行段階で線形アドレスを発生するために必要とされる時間を2つのクロック周期から1つのクロック周期に短縮し、従つて、システムの動作を相当にスピードアップする。

第1図は、マイクロプロセッサのセグメンテーション装置において本発明に従つて実効アドレスと、線形アドレスの双方の形成を並行して実行する回路をブロック線図の形で示す。アドレス形成装置10は1対の加算器12及び14を含む。

アドレスと呼ばれるが、これは、実際には、セグメント基底アドレスで始まる特定のセグメントの内部における相対アドレスである。このいわゆる基底アドレスを、以下では、「相対基底アドレス」という。

セグメント基底アドレスと相対基底アドレスとの組合せが完全な線形アドレスを構成することは多いのであるが、線形アドレスに到達するために、いくつかの異なる係数(0, 1, 2及び4)と乗算しても良いインデックスをセグメント基底アドレスに加算しても良い。インデックスは、メモリの中で情報の大きな部分を移動させるのに有用である。たとえば、特定のプログラムにおいて、ランダムアクセスメモリ内の情報のアレイ又はストリングを1つの場所から別の場所へ移動させることが望まれる場合は多いであろう。インデックスはこの移動を容易に得るための手段である。さらに、実効アドレス、すなわちオフセットの一部として、変位をセグメント基底アドレスに加算しても良い。変位は、たとえば、特定の数のメモリ位

加算器12は線形アドレス加算器と呼ばれる3入力加算器であり、加算器14は実効アドレス加算器と呼ばれる2入力加算器である。これらの加算器は、従来の技術で良く知られている原理に従つて構成されれば良い。詳細にいえば、線形アドレスの形成を有効に実行するのに適する3入力加算器は、1985年12月24日出願、1988年11月8日発行の米国特許第4,783,757号に示されている。

線形アドレス加算器12に対する入力は3つのラッチレジスタ15, 16及び17から供給される。これらのレジスタは3つのマルチプレクサ20, 21及び22からそれぞれ入力を受信する。マルチプレクサ20に対する入力は実効アドレス(EA)バスと、命令ポインタ(IP)バスと、システム「I」バスとを含む。実効アドレスバスは、実効アドレス加算器14の動作の結果得られた実効アドレスを搬送する。IPバスは、ポインタの位置から特定のアドレスを形成すべき場合に使用して良い命令ポインタのアドレスを搬送する。I

特開平3-71337 (5)

バスは、形成すべき特定のアドレスに応じて、インデックスと相対基底アドレスの双方を搬送しても良い。制御線 CSLA 及び ISLA の制御信号に従つてマルチブレクサ 20 により選択された情報はレジスタ 15 へ転送されてそこにラッピングされ、線形アドレスの形成に備える。

I バスは「I」装置による制御の下で「D」装置からの情報を転送する。D 装置(データ装置)は、ユーザーが視認できるデータを記憶するために使用される全てのレジスタを含む。I 装置は、コンピュータシステムの様々な動作を実行するために、命令のコード流れをコンピュータの他の部分により使用されるべき復号命令語に変換する働きをする。さらに、I 装置は、マイクロコードが制御を引継ぐ前に 1 つの命令について実行される動作を指示するために、様々な早期スタートマイクロ命令を順序付けする。I バスに現われる情報は、システム命令復号装置により供給される制御信号に応答して提供される。

マルチブレクサ 21 は実効アドレスバス 25、

か一方を要求すれば良く、また、レジスタ 15 がインデックスを保持し、レジスタ 16 は変位アドレスを保持すれば良い。実効アドレス加算器 14 はレジスタ 15 及び 16 の 3 種類の情報を組合せて、最終的には実効アドレスバス 25 を介して出力として提供される実効アドレスを形成する。

さらに、線形アドレス加算器 12 は、レジスタ 17 に記憶されているセグメント基底アドレスを、実効アドレスを構成するレジスタ 15 及び 16 の 3 種類の情報に加算して、線形アドレスを形成する。線形アドレス加算器 12 は特定のアドレスに必要なそれらの要素に関する 3 つの入力を加算して、線形アドレスバス 27 に出力を発生する。

尚、実効アドレスを形成するために、相対アドレスと、インデックスと、変位とがそれぞれ要求されるということは通常あり得ない。従つて、実効アドレス加算器 14 に供給される入力は 2 つだけである。実効アドレスの形状に 3 つの要素の全てが必要となることはほとんどないが、そのような場合には、実効アドレスの形成に 2 ステップア

「R」バス及び K2Q 線から入力を受信する。実効アドレスは EA バスに現われ、K2Q 線には変位が現われ、また、B バスには相対基底アドレスが現われると考えられる。システム制御装置からの制御線 CSLA 及び ISLA の制御信号に従つてマルチブレクサ 21 により選択される情報はレジスタ 16 へ転送されてそこにラッピングされ、線形アドレスの形成に備える。同様にして、マルチブレクサ 22 はセグメンテーション装置の記述子キヤツシユからセグメント基底アドレスを受信し、その情報を制御線 CSLA 及び ISLA の制御信号の制御の下にレジスタ 17 へ転送する。情報はレジスタ 17 にラッピングされ、線形アドレスの形成に備える。

レジスタ 15 及び 16 の情報は線形アドレス加算器 12 と実効アドレス加算器 14 の双方に供給される。この情報は完全な形の実効アドレスと、完全な形の線形アドレスを形成するのに十分である。このように、先に挙げた相対基底アドレスを保持するためにはレジスタ 15 又は 16 のいずれ

ロセスを使用する。この状況では、実効アドレス加算器 14 において中間実効アドレスを形成し、マルチブレクサ 20 又は 21 を介してそれをレジスタ 15 又は 16 へ戻す。その後、次のクロック周期の間に、この中間実効アドレスを実効アドレスの残りの要素と組合せる。同様に、実効アドレスの 3 つの要素全てが必要である場合には、選択されたレジスタに保持されている中間実効アドレスを、線形アドレス加算器 12 により、線形アドレスのその他の要素と組合せる。

また、限界違反又はアクセス権利違反が起こっているか否かを判定するために、セグメンテーション装置により実効アドレスバスをサンプリングすることに注意すべきである。そのような違反のいずれかが起こつていた場合には、違反に対応するため、システム割込みが発生される。

第 2 図は、第 1 図に示すブロック線図の動作における信号のシーケンスを示すタイミング図である。第 2 図は本発明の動作を理解する上で助けになるはずである。第 2 図のタイミング図の最上部

にはいくつかのクロック周期が示されている。各クロック周期は正に向かう段階と、それに続く負に向かう段階とに分割されている。タイミング図の左側に沿つて、動作が実行されているパイプラインの特定の段階が示されている。パイプラインのD-1段階は2つの実行前段階のうちの1つであり、D-2段階は第2の実行前段階であり、E-1段階はパイプラインの実行段階であり、WB-1段階はパイプラインの戻し替込み段階である。それぞれのクロック周期において、段階ごとに、信号は関連する特定の命令を示す番号により表わされている。そのため、それぞれの信号が適用される命令を容易に確定できる。

第1のクロック周期の第2の段階の間に、第1の命令に関する線形アドレスの形成を開始するために、信号ISLA[1]が「I」装置からISLA制御線によつて送信される。ISLA[1]信号は早期スタートアドレス形成制御信号であり、本質的には、レジスタ15, 16及び17にラップされるべきバスと、それらのバスがレジスタにラッ

ント基底アドレスと、限界と、アクセス権利とを保持していることになる。

第1の線形アドレスに関する信号IESSEG[1]は、第1の線形アドレスの形成に必要であるセグメント基底アドレス及びその他の情報を求めて、記述子キヤツシユをアクセスする。従つて、第2のクロック周期の第1の段階では、線形アドレス及び実効アドレスの形成に必要な情報をセグメンテーション装置のレジスタ15, 16及び17にラップされる。

第2のクロック周期の第2の段階に入ると、線形アドレス加算器12は必要な加算を実行する。第2のクロック周期の第2の段階では、信号GSBR[1]が線形アドレスバス27に線形アドレスを発生させる。信号GSBR[1]は、発生されるアドレスの種類を表示するために使用される。すなわち、動作の第1の実行前段階D1と、第2の実行前段階D2においては、線形アドレス加算器12の入力端子に線形アドレスの構成要素がラップされ、さらに、線形アドレスバス27を介

すされるべき時点とを規定する復号命令である。第1のクロック周期の同じ第2の段階で、別の制御信号IESSEG[1]が「I」装置によりセグメンテーション装置に供給される。「I」装置から供給されるこの制御信号IESSEG[1]は、セグメント基底アドレスのうち使用すべき特定の1つを表わす。

以上説明したシステムにおいてメモリ管理のセグメンテーションプロセスを実現する場合、各セグメントは、その特定のセグメントのセグメント基底アドレスと、その限界と、セグメントに関する全てのアクセス権利と、セグメントが先に書込まれているか否かに関する情報を含むセグメントの64ビット記述子を提供していることは先に述べた通りである。特定の1つのセグメントを処理するに当たり、ロードセレクタ命令は該当するセグメントに関する記述子をセグメンテーション装置内の記述子キヤツシユにロードする。その結果、セグメンテーション装置は、その記述子キヤツシユの中に、処理すべきセグメントのセグメ

して出力端子まで供給されていることがわかるであろう。

同じクロック周期の間に、これらの制御信号は、実効アドレス加算器14により、レジスタ15及び16に記憶されている同じ情報を使用して、実効アドレスを発生させると共に、実効アドレス加算器14の出力を実効アドレスバス25を介して供給される。パイプラインの実行段階である第3のクロック周期に入ると、セグメンテーション装置は、アクセス違反又は限界違反が起こつているか否かを判定するために、発生後、実効アドレスバス25に現われた実効アドレスについて違反検査を実行する。第3のクロック周期において、違反検査は、セグメンテーション装置の違反検査装置により、何らかの違反が発生した場合には割込み信号を発生できるような形で実行される。

第2のクロック周期の第2の段階で、D-2段階において第1の命令に対し線形アドレスが計算されている時点で、システムの「I」装置から供給された信号ISLA[2]及び信号IESSEG[2]

により、第2の命令が開始されている。第1の線形アドレスを形成させた第1の命令のときに供給された信号と同様に、ISLA[2]信号は、データをレジスタ15, 16及び17に供給すべきバスと、供給の時点とを規定する早期スタートアドレス情報信号である。信号IESSEG[2]は、アドレスを形成するに際して使用されるべきセグメント基底アドレスを表わす。従つて、第1の線形アドレスが形成され、線形アドレスバス27に出力として供給されている間に、第2のアドレスの要素はレジスタ15, 16及び17にラッテされていることになる。

次に、第3のクロック周期の第1の段階の間には、第1の線形アドレスについての違反検査が実行されているのであるが、第2の段階に入ると、第2の命令の第1の部分に関するバスサイクルの種類を表わす信号GSBR[2-1]が供給される。ここで説明する第2の命令は、完全に実行するのに4つのクロックバルスを必要とする命令である。そのような命令は、たとえば、特定のセグメント

の64ビット記述子をレジスタにロードする前述のようなロードDS命令であつても良いであろう。このような命令は、それが処理しなければならない情報の長さの関係上、アクセスするのにいくつかのアドレスを必要とし、従つて、実行するためにいくつかのクロックバルスを必要とする。

第3のクロック周期の第2の段階では、先の命令アドレスについてセグメンテーション違反検査が実行されている一方で、線形アドレス加算器12は第2の命令の第1の線形アドレスを発生し、線形アドレスバス27を介して供給する。第4のクロック周期に入ると、バイブルайнの実行段階で、第2の命令の第1のアドレスについて違反検査が実行される。第4のクロック周期の第1の段階では、システムの制御装置と、システムのD装置により信号CSLA[2-2]及び信号DCIMD[2-2]が供給される。信号CSLAは、第2の命令により発生されるべき第2のアドレスについて、レジスタ15, 16及び17にラッテすべき特定のバスと、それらのバスをラッテすべき時点

とを規定する（信号ISLAに類似する）信号である。従つて、第2の命令に関して発生された第1の線形アドレスについてセグメンテーション違反検査が実行されている第4のクロック周期の間には、線形アドレス加算器12による第2の命令の第2の線形アドレスと、実効アドレス加算器14による第2の実効アドレスの発生に先立つて、レジスタにおいては次の線形アドレスの構成要素がセットアップされている。

第5のクロック周期の第1の段階の間には、第2の命令の第2のアドレスに関して利用すべき特定のバスを指定するために、GSBR[2-2]信号が供給される。この後、第5のクロック周期の第2の段階では、第2の線形アドレスを実際に発生する。また、第5のクロック周期の第1の段階の間に、該当するセグメントにおける特定のアドレス形成情報を指定するために、第2の命令により発生されるべき第3の線形アドレスに関するアドレス情報制御信号CSLA[2-3]と、第2の命令の同じ線形アドレスに関する信号DCIMD[2

-3]も発生される。

第6のクロック周期の第1の段階では、信号GSBR[2-3]によりバス仕様を指定し、第6のクロック周期の第2の段階では、第2の命令の第3の線形アドレスを発生する。第6のクロック周期の第1の段階においては、第2の線形アドレスに関する検査も実行される。

最後に、第7のクロック周期の第1の段階では、第2の命令の第3の線形アドレスに関するセグメンテーション違反検査が実行される。

このシステムは第3のクロック周期の実行段階で発生された第1の線形アドレスに関するセグメンテーション違反検査を実行し、第4のクロック周期では第2の線形アドレスを完成する第2の線形アドレスのセグメンテーション違反検査を実行し、第6のクロック周期では第2の命令について第2の線形アドレスの実行を完成するセグメンテーション違反検査を実行し、第7のクロック周期では第2の命令について第3の線形アドレスの実行を完成するセグメンテーション違反検査を実行

することが認められるであろう。従つて、本発明のシステムの動作中、クロック時間ごとにシステムにより1つの線形アドレスが供給されるといつても良い。このよう構成により、システムの動作をかなりスピードアップすることができるので、特定の期間中に処理しうる命令の数は著しく多くなる。

以上、好ましい一実施例により本発明を説明したが、本発明の趣旨から逸脱せずに、説明した発明に対して数多くの変形を実施できることは当業者には明白であろう。従つて、本発明は特許請求の範囲により詳細に規定されるものと考慮されるべきであることが理解されるであろう。

4. 図面の簡単な説明

第1図は、本発明に従つて構成されたアドレス発生装置を示すブロック線図、第2図は、本発明の動作を示す上で有用なタイミング図である。

- 1 2 . . . 線形アドレス加算器、1 4 . . .
- ・実効アドレス加算器、1 5 , 1 6 , 1 7 . . .
- ・レジスタ、2 0 , 2 1 , 2 2 . . . マルチプ

レクサ'.

特許出願人 インテル・コーポレーション

代理人 山川政樹

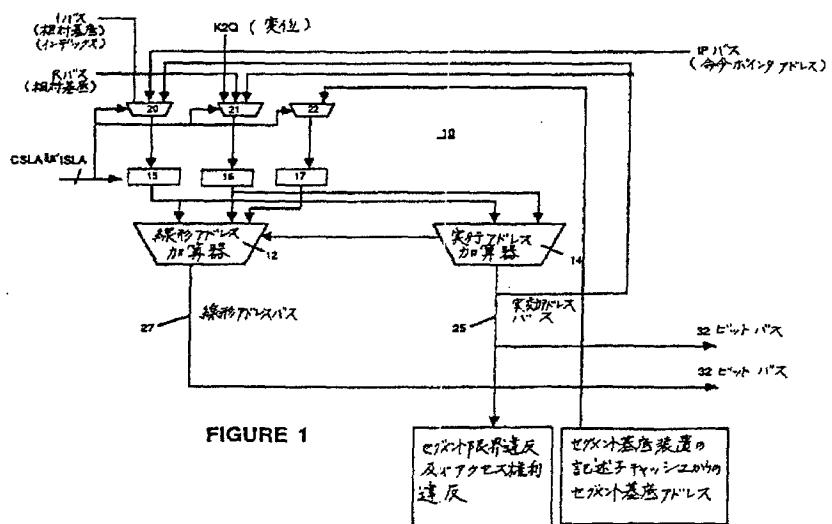


FIGURE 1

FIGURE 2

基本ブロック
第1回複数 第2回複数

	第1回複数	第2回複数	第3回複数	第4回複数	第5回複数	第6回複数	第7回複数
D1	[1] ISLA [1]	[2] ISLA [2]	[3] ISLA [3]	[4]	[5]	[6]	[7]
	ESSEG [1] ESSEG [2]		ESSEG [3]				
D2	[1] GSBR [1] LA [1] → LA [2] ← LA [3] ←	[2] GSBR [2-1] LA [2-1] →					[3]
		[1] LA [1]について EX: テーブル 違反検査	[2] LA [2-1]について ビデオ: テーブル 違反検査	[2] CSLA [2-2] DCMO [2-3]	[2] GSBR [2-2] LA [2-2]	[2] GSBR [2-3] LA [2-3]	[2] LA [2-3]について ビデオ: EX: テーブル 違反検査
				[1]			

実験結果

実験結果